

引用格式:王一楠,林涛,余宁梅. 基于 AMBA 的 AHB 总线矩阵设计[J]. 微电子学与计算机,2019,36(2):73- 77. [WANG Y N, LIU T, YU N M. AHB bus matrix design based on AMBA [J]. Microeletronics &. Computer,2019,36(2): 73-77.]

基于 AMBA 的 AHB 总线矩阵设计

王一楠,林 涛,余宁梅

(西安理工大学 自动化与信息工程学院,陕西 西安 710048)

摘 要: 本文设计了一种能够兼容 AMBA 主从设备的 AHB 总线矩阵,旨在实现多个主设备并行访问多个从设备,并且提高带宽,减少多路主机访问从机时产生的延迟. 对主体架构和微架构进行描述,详述了各模块的设计思路,并通过 Verilog HDL 对所设计的总线系统进行了 RTL 行为级描述,并通过参数化设计,实现从机地址和总线支持主从机数量可配. 最后搭建测试环境,对所设计的总线系统基本功能进行测试,证明 8 组主设备输入的情况下,在多主设备交叉访问多从设备的测试条件下,相比于传统 AHB 总线,AHB 总线矩阵最多可减少 3 倍总线访问延迟、增加 8.5 倍总线吞吐量.

关键词: AMBA 总线协议;并行访问;AHB 总线矩阵

中图分类号: TP36811

文献标识码: A

文章编号: 1000—7180(2019)02—0073—05

AHBBus Matrix Design Based on AMBA

WANG Yi-nan, LIN Tao, YU Ning-mei

(Xi'an University of Technology, School of automation and information engineering, Xi'an 710048, China)

Abstract: In this paper, an AHB Matrix bus system which is compatible with AMBA master and slave devices is designed, aiming at realizing multiple master devices to access multiple slave devices in parallel. This bus system can effectively improve the bandwidth and reduce the delay caused by multiple master accessing the slave. Its main structure and micro-architecture is elaborated with the design ideas of each module. The bus system is implemented with Verilog HDL in RTL behavior level. Slave address and master/slave number supported can be configurable via parameterized design. Finally, the verification environment is set up to test the basic functions of the bus matrix. It is proved that in the testcase of the 8 masters inputs, Compared with the traditional AHB bus, the AHB bus matrix under the condition of multiple masters cross-access multiple slaves can reduce the bus access delays up to 3 times and increase the bus throughput by 8.5 times.

Key words: AMBA Protocol; Parallel access; AHB Bus Matrix

1 引言

片上系统(System on Chip, SoC)技术成为集成电路设计主流技术,芯片设计师通过各种片上互联总线直接复用 IP(Intellectual Property,知识产权)进行设计^[1],使得互联总线成为决定 SoC 性能甚至成败的关键因素. 然而,随着总线上主从设备数量的快速增长,传统的总线结构达到它们的性

能极限,难以满足高速设备之间通信对吞吐率和总线访问延迟的要求,这制约了 SoC 系统性能的进一步提高^[2].

为了解决这一问题,本文基于 AMBA 中 AHB (Advanced High Performance Bus, 高级高性能总线)总线协议,采用 Verilog 设计了一种 AHB 总线矩阵^[3].

2 AMBA 片上总线简介

AHB 总线是 AMBA 总线中的高级高性能总线,主要负责高性能高带宽需求的 IP 核连接^[4],也是 AMBA 总线的主要部分. AHB 总线主要包括仲裁模块、译码模块、多路选择模块、缺省从设备、默认主设备和 AHB-APB 总线桥^[5]. 各个系统构件均通过标准 AHB 接口与系统总线相连. 保证系统的兼容性与普适性^[6]. AHB 总线系统在使用中有一个的缺点,由于所有的主设备实际上是在共享一条总线和所有的从设备相连. 当某一个主设备通过总线访问从设备时,其他的主设备就必须等待该主设备访问完成,这样的等待严重影响了 SoC 系统的数据访问时间和吞吐量.

3 AHB 总线矩阵

3.1 总线架构设计

本设计中的 AHB 总线矩阵结构, AHB 总线矩阵结构包括地址译码模块、状态机控制模块、信号寄存模块、仲裁模块以及主设备多路模块、从设备多路模块. 这些模块集成在一个顶层的 AHB_Matrix 模块中.

AHB 总线矩阵结构的工作过程如下:

(1) 输入信号首先进入译码模块产生相应的片选信号, 根据从设备返回的 hreadyout 信号以及片选信号产生相应的从设备访问请求信号 hgrant.

(2) 仲裁模块拿到相应的从设备访问请求信号, 进行仲裁判断, 分配从设备访问权限信号.

(3) 拿到从设备访问权限的主设备将地址周期和数据周期的信号直接通过从设备多路模块给到相应的从设备. 传输的过程通过状态机控制模块进行控制.

(4) 未拿到从设备访问权限的主设备, 在从设备占用时, 将地址周期和数据周期的输入信号放入信号寄存模块, 等待从设备 ready 后, 将数据传输给相应的从设备.

图 1 为 AHB 总线矩阵架构.

3.2 总线微架构设计

AHB 总线矩阵系统结构主要包括主设备多路模块、从设备多路模块以及控制模块, 其中控制模块又分为译码模块、信号寄存模块、仲裁模块和状态机控制模块. 本部分将详细阐述每个模块的设计思路.

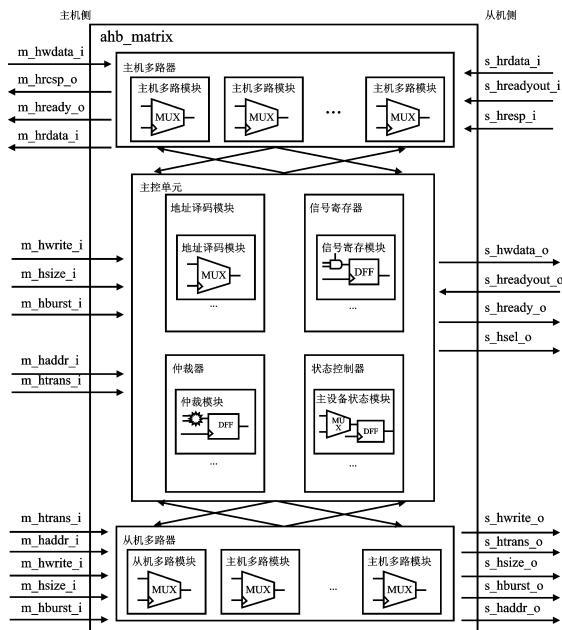


图 1 AHB 总线矩阵架构

3.2.1 译码模块

译码模块的功能主要是判断主设备需要访问哪一个从设备, 该模块通过直接对地址译码产生主设备的 hbusreq 信号, 使得 hbusreq 信号成为 AHB 总线矩阵系统的内部信号, 且做到兼容 AHB 主设备, 相比于单层 AHB 系统总线, 减少了端口信号. AHB 总线矩阵系统支持多个主设备对多个从设备的并行访问, 地址译码模块数量和主设备数量一致.

3.2.2 信号寄存模块

由于 AHB 总线矩阵需要协调多路主设备访问总线, 在以下两个情况需要对主设备的地址周期和数据周期的信号寄存:

- (1) 在多个主设备同时访问同一个从设备时;
- (2) 在从设备忙的情况.

图 2 为信号寄存模块电路图. 信号寄存模块寄存的信号均为主设备的输入信号, 寄存信号的时机由状态机控制模块的输出 fsm_state 和主设备访问请求信号 request 控制.

3.2.3 仲裁模块

AHB 总线矩阵的核心部分便是仲裁模块, 该模块会从其他模块获得相应信号, 最后输出表示相应的主设备是否获得总线访问权的信号. 仲裁模块获取主设备的请求信号, 通过内部的运算得出从设备对主设备的访问权信号 grant, 使其成为内部信号, 减少了总线顶层的端口信号. 仲裁模块

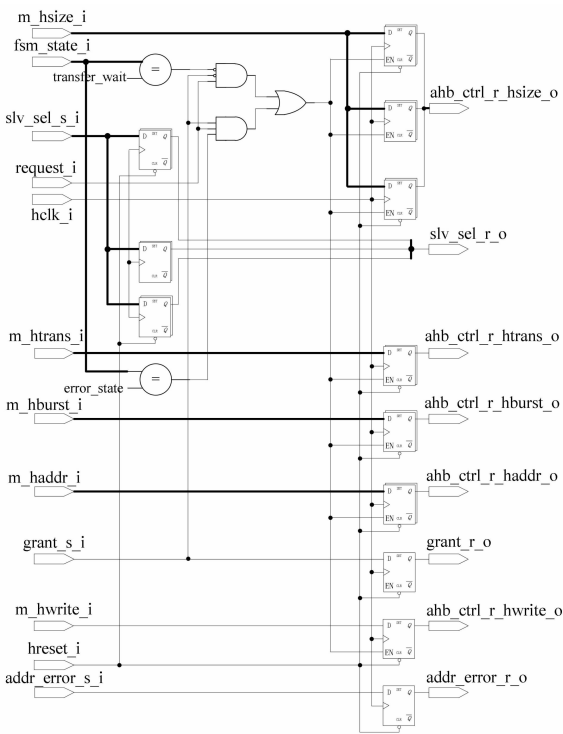


图 2 信号寄存模块电路

算法选择 Round-Robin(轮转优先级)仲裁算法. 本设计中对总线中进行仲裁的位置进行了修改,如图 3 所示:

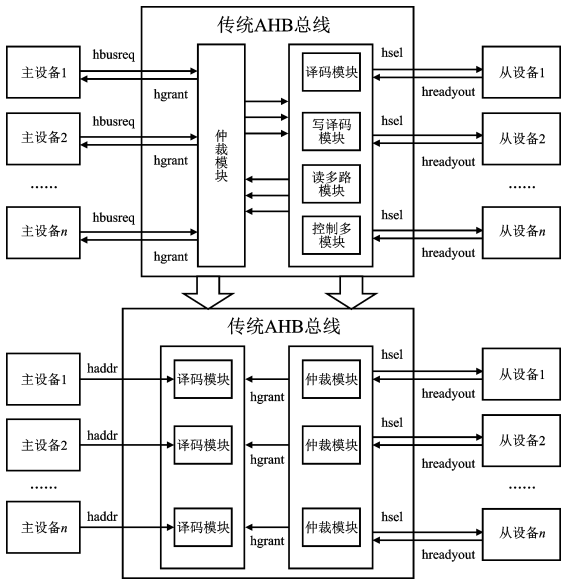


图 3 总线仲裁方式变化

表 1 为两种总线的仲裁延迟,以 nonseq 传输为例,hclk 频率为 50MHz,统计主设备请求总线到最后一个主设备访问权拉低的时钟周期数.

从表 1 可以看出随着请求路数的增加,两种总线仲裁延时线性增加,单层 AHB 总线系统的延迟

随着仲裁请求路数的增加,优势体现逐渐明显.

表 1 两种总线仲裁延迟统计表

单位:时钟周期数								
仲裁请求路数	2 路	3 路	4 路	5 路	6 路	7 路	8 路	
AHB 总线矩阵	2	3	4	5	6	7	8	
单层 AHB 总线	7	10	13	16	19	22	25	

3.2.4 状态控制模块

状态控制模块是为了协调 AHB 总线矩阵系统的数据传输过程,主要根据传输给其的信号进行状态的跳转.由于 AHB 总线矩阵系统的并行访问功能,状态控制模块的数量和主设备的数量一致.

状态控制模块主要包括 5 个跳转状态: idle、error、transfer、transfer_finish、transfer_wait. 状态机控制模块中的状态机为典型的两段式状态机. 其详细工作过程如下:

- (1)idle: idle 状态为空状态
- (2)error: error 状态为错误状态,表示当前总线地址输入有误. error 状态转换图如图 4.

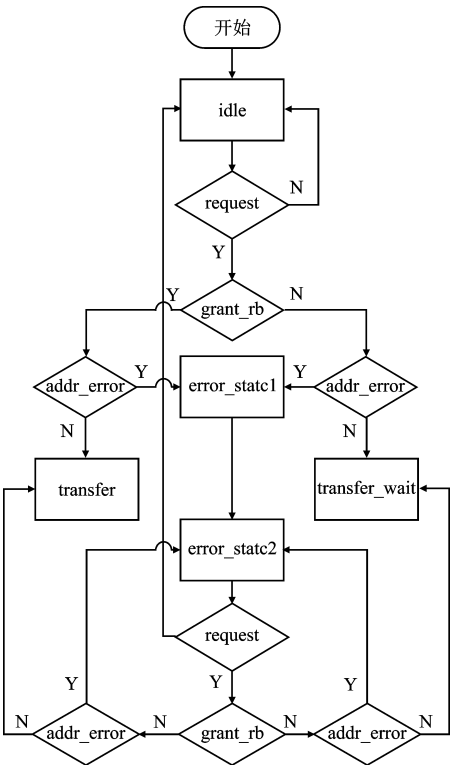


图 4 error 状态转换图

(3)transfer: transfer 状态为传输状态,表示当前总线正在进行数据传输.

(4)transfer_wait: transfer_wait 状态为传输等待状态,代表当前总线忙,数据数据传输被搁置.

(5)transfer_finish: transfer_finish 状态为传输

完成状态,代表当前的 burst 传输完成. transfer_finish:状态转换图如图 5.

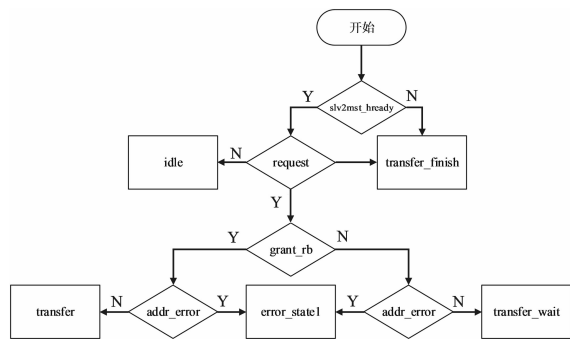


图 5 transfer_finish 状态转换图

3.2.6 从设备多路模块

从设备多路模块的主要功能类似于主设备多路模块,根据当前传输状态处理从设备端输出.图 6 为从设备多路模块电路结构.从设备多路模块电路功能和主设备多路模块相似,在电路结构上也相似,从设备多路模块电路为两级选通电路.

从设备多路模块电路结构如图 6.

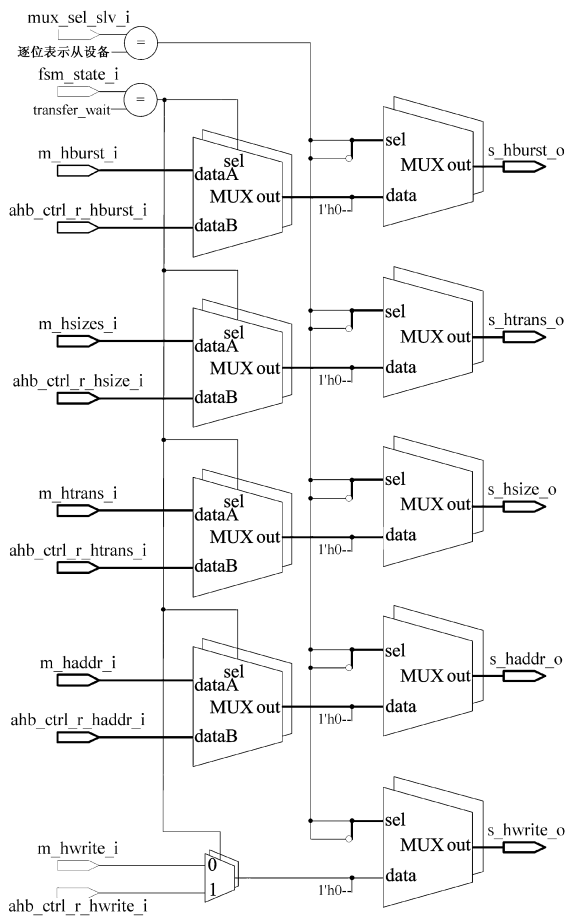


图 6 从设备多路模块电路结构

3.2.5 主设备多路模块

主设备多路模块主要功能是在数据周期,根据主设备不同的传输状态下,进行主设备侧多路输出信号从设备返回信号的路由.

主设备多路模块电路结构如图 7 所示.电路为三级选通电路.选通信号分别为访问权授予信号 grant、状态机控制信号 fsm_state 和从设备选通信号 slv_sel,对应于图 6 中工作流程图中的菱形选择部分.

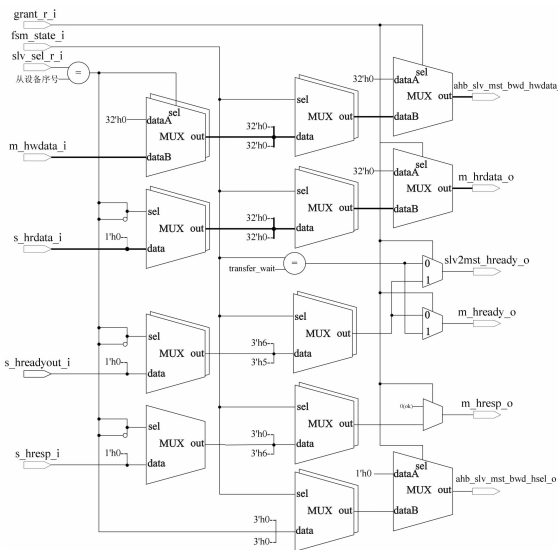


图 7 主设备多路模块工作流程图

3.3 参数化设计详述

根据代码设计思想的要求,在修改主/从设备数量的情况下,代码需要实现功能扩展.通过以下方式实现该功能:

(1)顶层宏定义方式主设备数量、从设备数量和从设备地址,通过修改顶层定义改变代码主/从设备数量和从机地址.

(2)在模块例化的过程中使用 generate 方法.将代码功能分割,在同一个大的功能块中通过 generate 方法,根据定义的主/从设备数量,例化相应数量的功能块,并通过上一级的 glue logic 连接各小功能块信号,将各小功能块信号集成一个数组信号由同一的 shell 端口引出.

(3)定义数据位宽时使用宏定义.使与主/从设备数量相关的信号位宽由宏定义体现,如:input[MST_NUM_C-1:0] m_hwrite_i.

(4)通过“ifdef”方式,在各级代码中建立分支,根据顶层的宏定义,使对应 ifdef 和 endif 之间的部分有效.这样可以在不修改代码的情况实现功能扩展.

(5)减少顶层模块的粘合逻辑.在顶层模块中仅进行 6 个大功能模块的整体例化和顶层端口信号的引出,防止主/从数量扩展后,出现功能混乱.

4 设计仿真结果

4.1 验证环境

AHB 总线系统的仿真结构如图 8 所示.
AHB 总线系统仿真结构在测试顶层例化了 AHB 总线矩阵系统、主设备以及多个从设备.

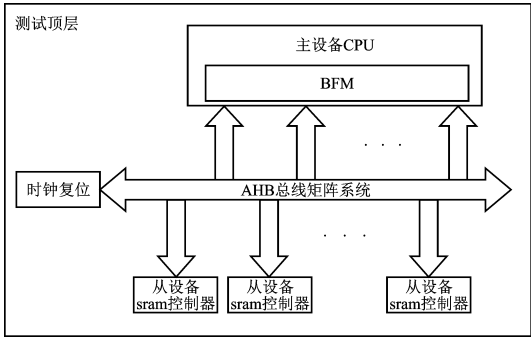


图 8 AHB 总线系统仿真结构

- (1)AHB 总线矩阵系统:AHB 总线矩阵系统作为主要仿真验证对象,用于连接主设备、从设备和时钟复位系统.
- (2)主设备:主设备由模拟 CPU 读写操作的行为级模型完成,其中包括前述设计的总线功能模型,主要通过调用总线功能模型中的测试用例模拟 ARM 主设备的读写操作.
- (3)从设备:本设计中为了高效验证总线的读写功能,从设备使用 sram 控制器,用于接收主设备写入数据,并放入存储体中.

仿真验证的起始和结束均由主设备同一控制.该测试验证环境最大可以支持 8 路主设备 8 路从设备的总线系统验证.

4.2 性能分析

4.2.1 吞吐量

下面比对了在进行增量 16 的 32 bit 写操作时,分别使用两种总线,随着主设备数量的增加,总线吞吐量的情况为:

由图 8 可以看出以下两点:

(1)AHB 总线矩阵系统在同样数量的从设备情况下,可以提高总线吞吐量,从而达到扩展总线带宽的目的;

(2)随着总线设备数量的增加,采用 AHB 总线矩阵系统在提升总线带宽方面的优势会更加明显.

4.2.2 访问时间

由以上仿真结果比对折线图可以看出以下三点:

- (1)采用 AHB 总线矩阵系统时,多组主设备访问同一从设备的访问时间要长于多组主设备访问多组从设备的访问时间.
- (2)AHB 总线矩阵系统可以有效减少数据传输访问时间功能.
- (3)随着总线主设备数量的增加,采用 AHB 总线矩阵系统在数据传输方面将更加高效.

参考文献:

[1] 陈林,王家兵,朱得利. IP 核互连策略及规范[J]. 今日电子, 2005(8):42-45.

[2] 李溯玮,郑建宏. 多层 AHB 总线在 SoC 芯片设计中的应用[J]. 科技信息, 2006(12):18-18.

[3] 罗惠文,吴斌,尉志伟,等. AHB Matrix 互连总线 IP 的设计与实现[J]. 微电子学与计算机, 2015, 32(10): 54-57.

[4] ARM Limited. AMBA™ Specification Rev2. 0. ARM [S]. British, Cambridge: ARM Limited,1999.

[5] 朱嘉. 基于 AMBA 总线结构的高性能存储接口的研究与设计[D]. 上海:同济大学. 2007.

[6] 刘熊尧,刘雷渡,尹首一,等. 基于多层 AHB 架构的多核 SoC 设计[J]. 计算机工程, 2012, 38(9), 237-239.

作者简介:

王一楠 男, (1990-), 硕士研究生. 研究方向为大规模集成电路设计. E-mail: wyn2252128@163. com.

林 涛 男, (1977-), 博士, 教授. 研究方向为半导体光电器件及专用集成电路设计.

余宁梅 男, (1963-), 博士, 教授. 研究方向为语音芯片及 W-CDMA 无线通信芯片设计.